

# 11-21-01  
9/14/01

JC872 U.S. PRO  
09/902243  
07/10/01

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

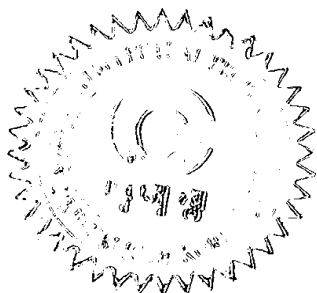
특허출원 2000년 제 39609 호

출원 년 월 일 :  
Date of Application

2000년 07월 11일

출원인 :  
Applicant(s)

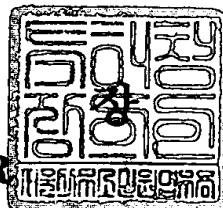
삼성전자 주식회사



2001 년 03 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.07.11
【국제특허분류】	H01L
【발명의 명칭】	서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING NON-VOLATILE MEMORY DEVICE WITH TWO OR MORE TUNNEL OXIDES HAVING DIFFERENT THICKNESS
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	1999-006038-0
【발명자】	
【성명의 국문표기】	부재필
【성명의 영문표기】	B00, Jae Phil
【주민등록번호】	691002-1105816
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 우성 APT. 826-1402
【국적】	KR
【발명자】	
【성명의 국문표기】	탁수영
【성명의 영문표기】	TAK, Soo Young
【주민등록번호】	701220-1342314
【우편번호】	441-480
【주소】	경기도 수원시 권선구 당수동 삼정 APT. 202동 1405호
【국적】	KR

**【발명자】**

**【성명의 국문표기】** 김광복  
**【성명의 영문표기】** KIM,Kwang Bok  
**【주민등록번호】** 710815-1119725  
**【우편번호】** 477-850  
**【주소】** 경기도 가평군 설악면 회곡 1리 산 104-4  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 김경현  
**【성명의 영문표기】** KIM,Kyung Hyun  
**【주민등록번호】** 680505-1066932  
**【우편번호】** 156-031  
**【주소】** 서울특별시 동작구 상도1동 810  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 홍창기  
**【성명의 영문표기】** HONG,Chang Ki  
**【주민등록번호】** 630921-1063611  
**【우편번호】** 441-390  
**【주소】** 경기도 수원시 권선구 권선동 1270 벽산 APT. 401-801  
**【국적】** KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이건주 (인)

**【수수료】**

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	2 면	2,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	10 항	429,000 원
<b>【합계】</b>		460,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

플로팅 게이트를 스톱층으로 이용하여 CMP 공정을 통해 소자격리 영역의 절연막과 플로팅 게이트간의 단차를 감소시키는데 적당한 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법에 관한 것으로, 셀 트랜지스터와 외부전원 인가 및 주변회로 동작을 위한 트랜지스터를 갖는 소자에 있어서, 반도체 기판상에 서로 다른 두께를 갖는 2가지 이상의 터널 절연막과, 일정 간격을 갖는 도전층 그리고 제 1 절연막을 차례로 형성하는 제 1 단계와; 상기 형성된 결과물을 선택적으로 소정 깊이 식각 제거하여 트렌치를 형성하고, 상기 트렌치를 포함한 전체상부에 제 2 절연막을 증착하는 제 2 단계와; 상기 제 2 절연막이 상기 트렌치에만 남도록 하여 소자격리 영역을 형성하는 제 3 단계와; 상기 제 1 절연막을 제거한 후, 상기 도전층을 스톱층으로 이용하여 제 2 절연막을 선택적으로 제거하는 제 4 단계를 포함하여 이루어짐을 특징으로 한다.

## 【대표도】

도 3e

## 【색인어】

비휘발성 메모리 소자, 플로팅 게이트, 터널 절연막

## 【명세서】

## 【발명의 명칭】

서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법{METHOD FOR MANUFACTURING NON-VOLATILE MEMORY DEVICE WITH TWO OR MORE TUNNEL OXIDES HAVING DIFFERENT THICKNESS}

## 【도면의 간단한 설명】

도 1a는 일반적인 비휘발성 메모리 셀의 회로도

도 1b는 일반적인 단순 적층형 비휘발성 메모리 셀의 구조 단면도

도 2a 내지 도 2d는 종래기술에 따른 서로 다른 두께를 갖는 2가지 이상의 비휘발성 메모리 소자의 제조방법을 나타낸 공정 단면도

도 3a 내지 도 3e는 본 발명의 일실시예에 따른 서로 다른 두께를 갖는 2가지 이상의 비휘발성 메모리 소자의 제조방법을 나타낸 공정 단면도

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

31 : 반도체 기판

32 : 터널 절연막

33 : 도전층

33a : 플로팅 게이트

34 : 제 1 절연막

35 : 제 2 절연막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 메모리 소자에 관한 것으로, 특히 불균일한 필드 산화막의 두께 형성을 방지하는데 적당한 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법에 관한 것이다.
- <10> 최근 들어 플래쉬 EEPROM(Flash Electrically Erasable Programmable Read Only Memory) 및 플래쉬 메모리 카드 (Flash Memory card)와 같은 비휘발성 메모리의 응용이 확대되면서 비휘발성 메모리에 관한 연구 개발이 요구되고 있다.
- <11> 상기 플래쉬 EEPROM 및 EEPROM등의 비휘발성 반도체 메모리를 데이터 저장미디어 (Mass Storage Media)로 사용하고자 할 때 가장 큰 문제점은 상기 메모리의 비트당 가격 (Cost-per-Bit)이 너무 비싸다는 것이다.
- <12> 또한, 포토블(Potable) 제품으로의 응용을 위해서는 저전력이 소모되는 칩(Chip)이 요구된다. 상기 비트당 가격을 낮추기 위한 방안으로 최근 멀티 비트셀(Multi bit-per-Cell)에 관한 연구가 활발히 진행되고 있다.
- <13> 종래의 비휘발성 메모리의 집적도는 메모리 셀의 개수와 일대일 대응 관계에 있는 반면에, 멀티 비트 셀은 메모리 셀 하나에 1비트 이상의 데이터의 저장 집적도를 크게 높일 수 있다.
- <14> 상기 멀티 비트 셀을 구현하기 위해서는 각 메모리 셀에 3개 이상의 문턱전압 레벨 (Threshold Voltage Level)을 프로그램 해야 한다.

- <15> 예를 들면, 셀당 2비트의 데이터를 저장하기 위해서는  $2^2=4$ , 즉 4단계의 문턱전압 레벨로 각 셀을 프로그램(Program)할 수 있어야 한다. 이때, 상기 4단계의 문턱전압 레벨은 논리적으로 00, 01, 10, 11의 각 로직 상태로 대응시킨다.
- <16> 이와 같은 멀티 레벨 프로그램에 있어서 가장 큰 과제는 각 문턱전압 레벨이 통계적인 분포를 갖는다는 점이고, 이 값은 약 0.5V에 이른다.
- <17> 따라서, 각각의 문턱레벨을 정확하게 조절(Adjust)하여 분포를 줄일수록 보다 많은 레벨을 프로그램 할 수 있게 되고, 셀당 비트 수도 증가시킬 수 있게 된다.
- <18> 상기의 전압분포를 줄이기 위한 한 방법으로서 일반적으로 프로그램과 조회를 반복하여 프로그래밍을 수행하는 기법을 사용하고 있다. 상기의 각 레벨에서 원하는 문턱레벨로 비휘발성 메모리 셀을 프로그램 하기 위해 일련의 프로그램 전압펄스(a series of voltage pulses)를 셀에 인가한다.
- <19> 그리고 상기 셀이 원하는 문턱레벨에 도달했는지 조회(Verify) 하기 위해 각 전압 펄스들 사이에서 읽기(Reading) 과정이 수행되어진다. 각 조회중에 조회된 문턱레벨 값이 원하는 문턱레벨 값에 도달하면 프로그래밍 과정은 스톱된다.
- <20> 이러한 프로그램과 조회를 반복 수행하는 방식에서는 유한한 프로그램 전압 펄스 폭으로 인한 문턱레벨의 에러 분포를 줄이기는 어렵다. 또한 상기의 프로그램과 조회를 반복하는 알고리즘을 회로로 구현하게 되므로 칩의 주변회로 면적이 증가되고 상기의 반복적인 방법은 프로그램 시간이 길어지는 단점이 있다.
- <21> 또한, 일반적으로 플래쉬 EEPROM 및 EEPROM등의 비휘발성 메모리 소자의 집적도를 결정하는 메모리 셀의 유효 셀 사이즈(Effective Cell Size)는 셀 사이즈와 셀 어레이

구조에 의해 결정된다.

- <22> 비휘발성 메모리 셀 중 최소의 셀 구조는 단순 적층 구조로서, 도 1a는 일반적인 비휘발성 메모리 셀의 회로도이고, 도 1b는 일반적인 단순 적층형 비휘발성 메모리 셀의 구조 단면도이다.
- <23> 도 1a에 도시한 바와 같이 비휘발성 메모리 셀의 심볼이며, 동시에 회로도인 비휘발성 메모리 셀은 콘트롤 게이트(5), 플로팅 게이트(3), 소오스(6a), 채널영역(7) 및 드레인(6b)으로 구성된다.
- <24> 상기와 같이 구성된 비휘발성 메모리 셀의 동작은 프로그래밍이 일어날 만큼 충분한 전압을 콘트롤 게이트(5) 및 드레인(6b)에 인가하면 드레인(6b)과 소오스(6a) 사이에 전류가 흐른다.
- <25> 상기 전류를 참조전류(Reference Current)와 비교하여 참조전류보다 같거나 작은 값에 도달하면 프로그램 완료신호(Programming Completion Signal)를 발생시킨다.
- <26> 이어, 도 1b에 도시한 바와 같이 P형 반도체 기판(1)상에 터널링 산화막(2)을 사이에 두고 플로팅 게이트(3)가 형성되며, 상기 플로팅 게이트(3)상에 콘트롤 게이트(5)가 형성된다.
- <27> 그리고 상기 콘트롤 게이트(3)와 플로팅 게이트(5)사이에는 유전체막(4)이 형성되고, 상기 플로팅 게이트(3) 양측의 P형 반도체 기판(1)내에는 n형 소오스 영역(6a)과 드레인 영역(6b)이 형성된다.
- <28> 이와 같이 구성되는 일반적인 단순 적층형 비휘발성 메모리 셀의 유효 셀 사이즈는 작지만, 콘트롤 게이트(5)의 커플링 상수 값이 작고, 특히 비휘발성 메모리 셀의 유효



셀 사이즈를 줄이기 위해 커플링 상수가 더 작아지는 문제가 있다.

<29> 따라서, 이러한 문제를 해결하기 위해 플로팅 게이트(3)와 콘트롤 게이트(5)사이의 유전체막(4)을 ONO막으로 형성하였으나 이 또한 공정이 복잡하고 고온 열처리 (Annealing) 공정이 필요하다.

<30> 한편, 비휘발성 메모리 소자는 기억저장을 목적으로 하는 셀 트랜지스터와, 외부전 원인가 및 주변회로 동작을 위한 트랜지스터로 구성되어 있으며, 각각에 대하여 구동하는 전원이 다른 특징을 가지고 있다. 이에 따라서, 플로팅 게이트 하부의 터널 절연막이 저전압 트랜지스터와 고전압 트랜지스터에서 서로 다른 두께를 갖는 특징을 가지고 있다.

<31> 이하, 종래의 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법에 대하여, 첨부된 도면을 참조하여 설명하면 다음과 같다.

<32> 도 2a 내지 도 2d는 종래의 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법을 나타낸 공정 단면도이다.

<33> 먼저, 도 2a에 도시한 바와 같이, 주변 영역과 셀 영역을 갖는 반도체 기판(21)상에 서로 다른 두께를 갖는 터널 절연막(22), 도전층(23) 및 제 1 절연막(24)를 차례로 형성한 후, 상기 제 1 절연막(24)상에 포토레지스트를 증착하고 노광 및 현상하여 선택적으로 포토레지스트 패턴(PR1)을 형성한다. 이때, 상기 제 1 절연막(24)은 질화막을 사용한다.

<34> 이어, 도 2b에 도시한 바와 같이, 상기 포토레지스트 패턴(PR1)을 마스크로 하여 셀프-얼라인(self-alinment) 공정을 통해, 상기 제 1 절연막(24), 도전층(23), 터널 절

연막(22) 및 반도체 기판(21)을 선택적으로 소정깊이 식각 제거하여 트렌치를 형성한 후, 상기 트렌치를 포함한 전면에 제 2 절연막(25)을 증착한다. 이때, 상기 제 2 절연막(25)은 고밀도 플라즈마(HDP; High Density Plasma) 산화막을 이용한다.

<35> 이어서, 도 2c에 도시한 바와 같이, 전체결과물의 상부를 화학기계적연마(CMP; Chemical Mechanical Polishing) 공정에 의해 평탄화한다. 그리고, 포토레지스트 공정을 이용하여 HDP막(25)을 선택적으로 식각 제거한 후, CMP 공정을 이용하여 상기 트렌치내에만 HDP막(25)을 남김으로써 소자격리 영역을 형성한다.

<36> 한편, 고전압 트랜지스터와 소자격리 영역간의 단차와, 저전압 트랜지스터와 소자격리 영역의 단차 사이에 유의차가 발생하는데 이는 고/저 전압 터널 절연막간의 두께 차이에 의한 것이다. 이러한 고/저 전압 터널 절연막간의 두께 차이는 CMP공정 이후 HDP막의 평탄화를 악화시키는 원인이 된다.

<37> 이어서, 도 2d에 도시한 바와 같이 습식 공정을 이용하여 플로팅 게이트(23)상의 제 1 절연막(24)을 제거한 후, 도면에는 도시하지 않았지만 상기 플로팅 게이트(23)상에 유전체막을 형성하고, 상기 유전체막상에 콘트롤 게이트를 형성하여 비휘발성 메모리 소자를 완성한다.

<38> 이때, 상기 소자격리 영역의 제 2 절연막(25)에 의해 네가 슬로프(nega-slope) 현상이 발생하므로 후공정인 콘트롤 게이트의 식각 공정시 도전층이 완전히 식각되지 않는 미세한 잔류물(stringer)을 유발시킨다.

<39> 상기와 같은 종래의 서로 다른 두께를 갖는 2종 이상의 터널 절연막을 갖는 비휘발성 메모리 소자는 다음과 같은 문제점이 있었다.

<40> CMP 공정을 이용하여 소자격리 영역을 평탄화할 때 플로팅 게이트와 소자격리 영역의 단차 차이는 후공정의 콘택 형성에 있어서, 콘택이 오픈되지 않거나 게이트에 잔존하는 미세한 잔류물로 인해 게이트와 게이트간에 쇼트를 발생시키거나 또는 트랜지스터의 험프(hump) 현상을 유발하였다.

<41> 또한, 플로팅 게이트와 소자격리 영역간의 단차가 높을 경우에는 콘택 식각시, 스톱층으로 이용되는 질화막의 두께가 증가되므로 콘택 식각 마진이 감소하여 콘택이 오픈되지 않는다는 문제점이 있다. 그리고 소자격리 영역으로 이용되는 절연막(예를 들면, HDP막) 특성으로 인해 소자격리 영역이 네가 슬로프 현상이 발생하여 후공정의 콘트롤 게이트 식각시 콘트롤 게이트가 완전히 식각되지 않는다는 문제점이 있다.

<42> 전술한 바와 같은 네가 슬로프 현상을 개선시키기 위해 습식 공정을 이용하여 소자격리 영역의 절연막을 리세스 시키지만, 이는 습식 공정이 추가되어 공정이 복잡해진다는 문제점이 있다.

<43> 한편, 플로팅 게이트와 소자격리 영역간의 단차가 낮을 경우에는 소자격리 영역의 절연막이 터널 절연막과 맞닿게 되어 트랜지스터의 험프 현상이 발생한다는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<44> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 플로팅 게이트를 스톱층으로 이용하여 CMP 공정을 통해 소자격리 영역의 절연막과 플로팅 게이트간의 단차를 감소시키는데 적당한 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비

휘발성 메모리 소자의 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<45>       상기와 같은 목적을 달성하기 위한 본 발명의 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법은 셀 트랜지스터와 외부전원 인가 및 주변회로 동작을 위한 트랜지스터를 갖는 소자에 있어서, 반도체 기판상에 서로 다른 두께를 갖는 2가지 이상의 터널 절연막과, 일정 간격을 갖는 도전층 그리고 제 1 절연막을 차례로 형성하는 제 1 단계와, 상기 반도체 기판을 선택적으로 소정깊이 식각 제거하여 트렌치를 형성하는 제 2 단계와, 상기 트렌치에만 남도록 제 2 절연막을 증착하여 소자격리 영역을 형성하는 제 3 단계와, 상기 제 1 절연막을 제거한 후, 상기 도전층을 스톱층으로 이용하여 제 2 절연막을 선택적으로 제거하는 제 4 단계를 포함하여 이루어짐을 특징으로 한다.

<46>       이하, 본 발명에 따른 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자에 대하여 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<47>       도 3a 내지 도 3e는 본 발명에 따른 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법을 나타낸 공정 단면도이다.

<48>       먼저, 도 3a에 도시한 바와 같이, 셀 영역 및 주변영역을 갖는 반도체 기판(31)상에 서로 다른 두께를 갖는 터널 절연막(32), 도전층(33) 및 제 1 절연막(34)을 차례로

형성한 후, 상기 제 1 절연막(34)상에 포토레지스트를 증착하고 노광 및 현상하여 선택적으로 포토레지스트 패턴(PR1)을 형성한다. 이때, 상기 도전층(33)의 두께는 50~1000 Å이고, 상기 제 1 절연막(34)은 SiN, BN, CN을 사용하며, 두께는 100~1000 Å이다.

<49> 이어, 도 3b에 도시한 바와 같이, 셀프-얼라인 공정을 통해 상기 제 1 절연막(34), 도전층(33), 터널 절연막(32), 그리고 상기 반도체 기판(31)을 선택적으로 소정깊이 식각 제거하여 트렌치를 형성한 후, 상기 트렌치를 포함한 전면에 제 2 절연막(35)을 증착한다. 이때, 상기 제 2 절연막(35)은 HDP, BPSG, SOG, FO<sub>x</sub>, USG, HOSP, Black Diamond막을 이용한다.

<50> 이어서, 도 3c에 도시한 바와 같이, 상기 전체 결과물의 상부를 CMP 공정을 이용하여 평탄화한다. 그리고 포토레지스트 공정을 이용하여 제 2 절연막(35)을 선택적으로 식각 제거한 후, CMP 공정을 이용하여 상기 트렌치내에만 제 2 절연막(35)을 남도록 함으로써 소자격리 영역을 형성한다.

<51> 이어서, 도 3d 및 3e에 도시한 바와 같이, 습식 공정을 이용하여 플로팅 게이트(33)상의 제 1 절연막(34)을 제거한 후, 상기 플로팅 게이트(33)를 스톱층으로 이용하고 HDP막(35)과 플로팅 게이트(33)간의 선택비가 1이상인 슬러리를 이용하는 CMP 공정을 통해 상기 제 2 절연막(35)을 제거하여 평탄화한다. 이때, 상기 습식 공정은 인산을 이용한다.

<52> 그리고 도면에는 도시하지 않았지만 상기 플로팅 게이트(33)상에 유전체막을 형성하고, 상기 유전체막상에 콘트롤 게이트를 형성하여 비휘발성 메모리 소자를 완성한다.

**【발명의 효과】**

- <53>      이상에서 설명한 바와 같이, 본 발명의 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법에 있어서는 다음과 같은 효과가 있다.
- <54>      플로팅 게이트를 스톱층으로 이용하여 CMP 공정을 실시하므로 소자격리 영역의 절연막의 리세스로 인한 트랜지스터의 험프(hump) 현상을 개선시킬 수 있다.
- <55>      또한, 플로팅 게이트와 소자격리 영역의 절연막간의 단차가 높았던 영역에서는 소자격리 영역의 절연막의 리세스가 많이 이루어져 단차가 감소하게 되고, 이로 인해 후공정의 콘택 형성에 있어서 콘택이 오픈되지 않는 문제점을 개선시킬 수 있다.
- <56>      그리고 습식공정을 이용하여 절연막을 제거함에 있어서 소자격리 영역의 에지 부분의 네가 슬로프 현상을 플로팅 게이트를 스톱층으로 이용하여 CMP 공정을 실시하므로 포지 슬로프(posi-slop) 현상이 나타나 미세한 잔류물이 잔존하는 문제를 개선시킬 수 있다.

**【특허청구범위】****【청구항 1】**

셀 트랜지스터와 외부전원 인가 및 주변회로 동작을 위한 트랜지스터를 구비하고 있으며, 서로 다른 두께를 갖는 2가지 이상의 터널 절연막을 갖는 비휘발성 메모리 소자의 제조방법에 있어서,

반도체 기판상에 서로 다른 두께를 갖는 2가지 이상의 터널 절연막과, 일정 간격을 갖는 도전층 그리고 제 1 절연막을 차례로 형성하는 제 1 단계와;

상기 형성된 결과물을 선택적으로 소정 깊이 식각 제거하여 트렌치를 형성하고, 상기 트렌치를 포함한 전체상부에 제 2 절연막을 증착하는 제 2 단계와;

상기 제 2 절연막이 상기 트렌치에만 남도록 하여 소자격리 영역을 형성하는 제 3 단계와;

상기 제 1 절연막을 제거한 후, 상기 도전층을 스톱층으로 이용하여 제 2 절연막을 선택적으로 제거하는 제 4 단계를 포함하여 이루어짐을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 도전층은 플로팅 게이트임을 특징으로 하는 비휘발성 메모리 소자의 제조방법

## 【청구항 3】

제 1 항에 있어서,

상기 도전층은 50~1000Å 임을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

## 【청구항 4】

제 1 항에 있어서,

상기 제 1 절연막은 SiN, BN, CN을 사용하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

## 【청구항 5】

제 1 항에 있어서,

상기 제 1 절연막의 두께는 100~1000Å 임을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

## 【청구항 6】

제 1 항에 있어서,

상기 제 3 단계는,

상기 트렌치를 포함한 전면에 제 2 절연막을 증착한 후, 포토레지스트 공정을 이용하여 상기 제 2 절연막을 선택적으로 식각하는 제 5 단계와;

상기 제 2 절연막을 제 1 절연막과 함께 CMP 공정에 의해 평탄화한 후, 포토레지스



트 공정을 이용하여 상기 평탄화된 제 1 절연막을 선택적으로 식각 제거하는 제 6 단계와;

상기 제 2 절연막에 CMP 공정을 수행하여 완전한 소자격리 영역을 형성하는 제 7 단계에 의해 수행됨을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 제 2 절연막은 HDP, BPSG, SOG,  $FO_x$ , USG, HOSP, Black Diamond막을 사용하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 8】

제 6 항에 있어서,

상기 제 7 단계는, 상기 제 1 절연막을 선택적으로 제거하여 상기 도전층을 노출시키는 단계를 더 포함함을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 9】

제 1 항에 있어서,

상기 제 4 단계는 상기 도전층을 스톱층으로 이용한 CMP 공정에 의해 수행됨을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

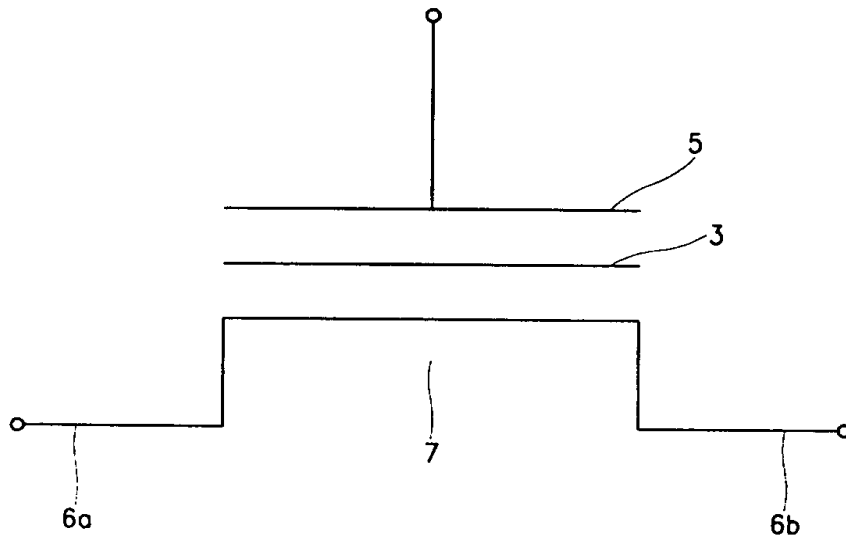
【청구항 10】

제 1 항에 있어서,

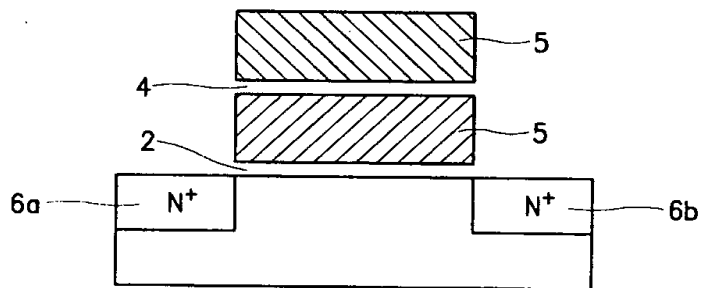
상기 제 4 단계는 상기 제 1 절연막과 도전층간의 선택비가 1 이상인 슬러리를 이용한 CMP공정에 의해 수행됨을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【도면】

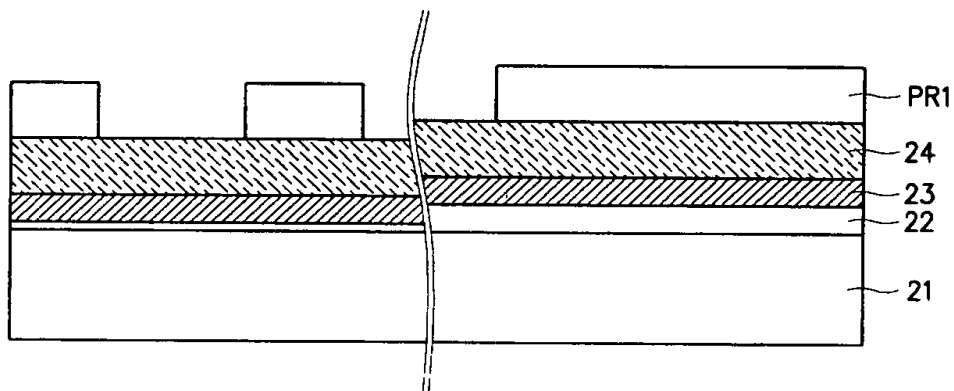
【도 1a】



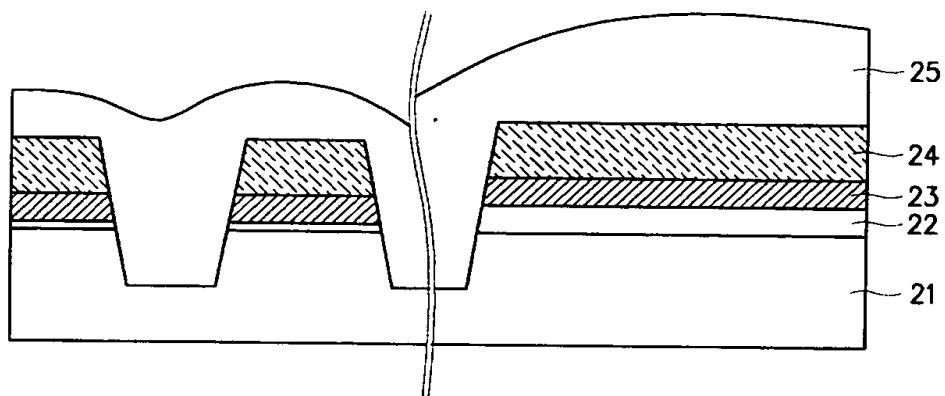
【도 1b】



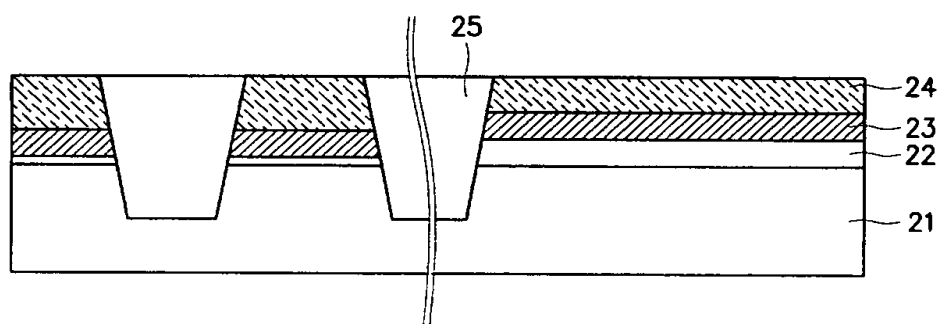
【도 2a】



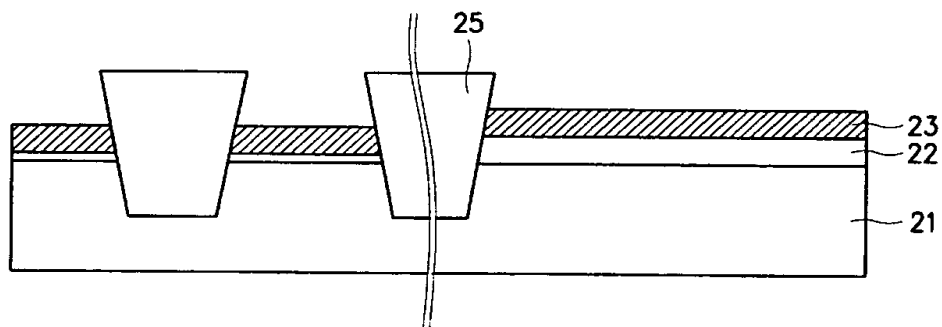
【도 2b】



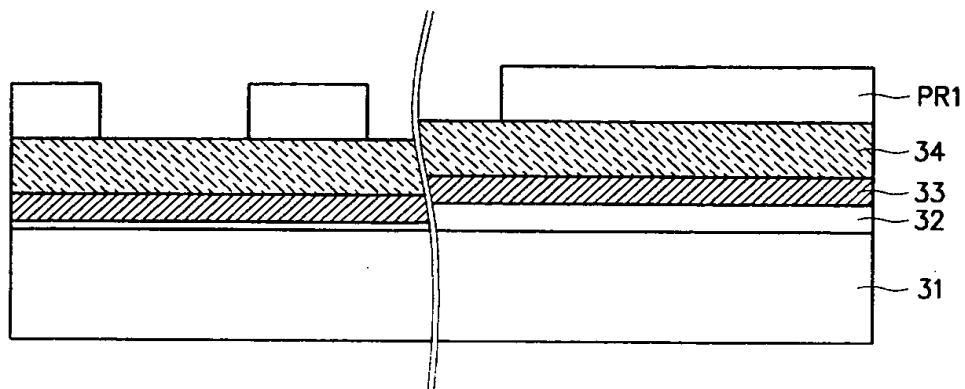
【도 2c】



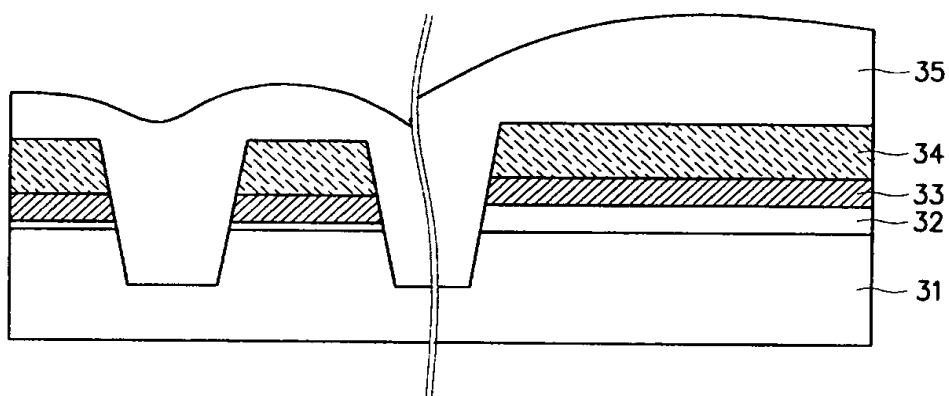
【도 2d】



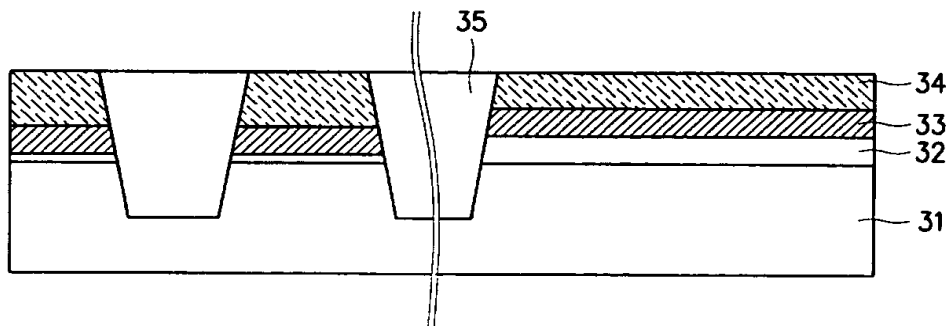
【図 3a】



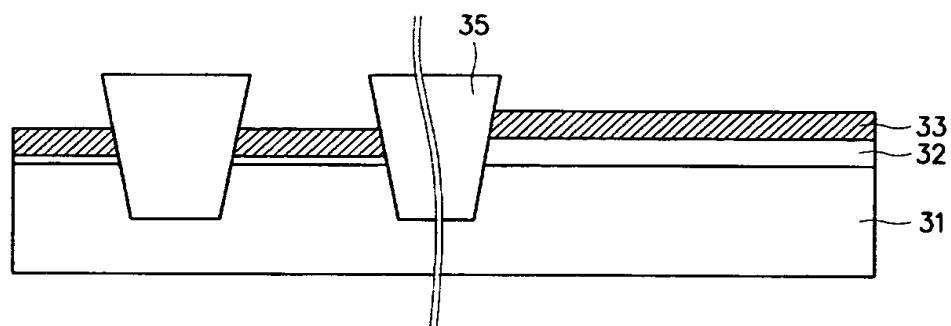
【図 3b】



【図 3c】



【도 3d】



【도 3e】

